

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-030952
(43)Date of publication of application : 28.01.2000

(51)Int.CI.

H01F 27/29
H01F 27/28
H05K 1/18

(21)Application number : 10-197840

(71)Applicant : TAIYO YUDEN CO LTD

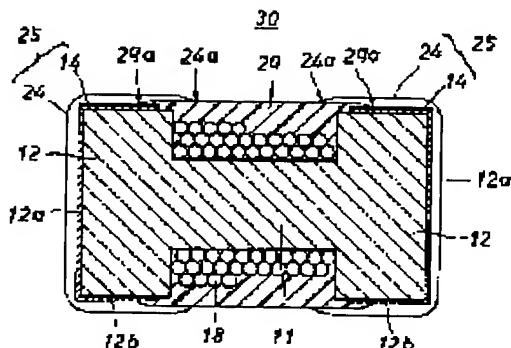
(22)Date of filing : 13.07.1998

(72)Inventor : AOBA HIDEO
OTSUKA KAZUHIKO
CHIAKI KEI

(54) CHIP INDUCTOR

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a wound chip inductor which has its outward appearance improved and is capable of bulk mounting.
SOLUTION: The chip inductor 30 is equipped with a core 17 which has a core 11 and both rectangular collars 12, a 1st conductive coating layer 14, a winding 18 which is wound around the core 11 and has both its end parts fixed to the 1st conductive coating film 14 in an electric conductive state, and an outer facing material 29 covering the outer periphery of the winding 18. Specially, the outer facing material 29 is charged and shaped externally in the gap between both the collars 12 in conformity and almost in level with the peripheral flank shapes of the collars 12, the ends 29a of the outer facing material 29 close to both the collars extend to the 1st conductive coating layer 14 of the outer facing material 29 to overlap with the circumferential flank 12b to the entire circumference, and an end 24a of a 2nd conductive coating layer 24 is stacked on the 1st conductive coating layer 14 while extending onto the outer facing material 29 of the collar 12, forming a nearly rectangular parallelepiped chip shape.



LEGAL STATUS

[Date of request for examination] 06.12.2000
[Date of sending the examiner's decision of rejection]
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
[Date of final disposal for application]
[Patent number]
[Date of registration]
[Number of appeal against examiner's decision of rejection]
[Date of requesting appeal against examiner's decision of rejection]
[Date of extinction of right]

(51)Int.Cl.⁷

H 01 F 27/29

27/28

H 05 K 1/18

識別記号

F I

H 01 F 15/10

27/28

H 05 K 1/18

H 01 F 15/10

テマコード(参考)

G 5 E 0 4 3

A 5 E 0 7 0

K 5 E 3 3 6

C

審査請求 未請求 請求項の数4 OL (全7頁)

(21)出願番号

特願平10-197840

(22)出願日

平成10年7月13日 (1998.7.13)

(71)出願人 000204284

太陽誘電株式会社

東京都台東区上野6丁目16番20号

(72)発明者 青葉 秀夫

東京都台東区上野6丁目16番20号 太陽誘
電株式会社内

(72)発明者 大塚 一彦

東京都台東区上野6丁目16番20号 太陽誘
電株式会社内

(74)代理人 100092808

弁理士 羽鳥 亘

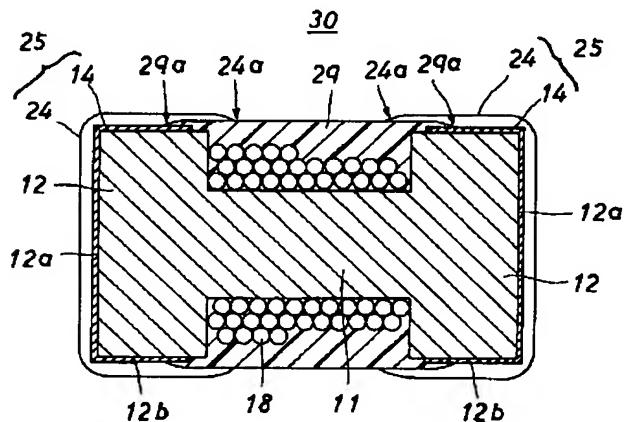
最終頁に続く

(54)【発明の名称】チップインダクタ

(57)【要約】

【目的】外観性が向上し、バルク実装が可能な巻線形のチップインダクタを提供する。

【構成】チップインダクタ30は、巻芯11と、矩形の両鍔12と、を有するコア17と、鍔12に直付けの第1導電被膜層14と、前記巻芯11に巻回されるとともに両端部が各々前記第1導電被膜層14に導電固着された巻線18と、前記巻線18の外周を覆う外装材29と、を備え、特に外装材29が鍔12の周側面形状に合わせてこれと略面一となるように両鍔12間の隙間を埋めて外装・整形されるとともに、前記外装材29の両鍔寄りの端29aが鍔12の周側面12bの第1導電被膜層14まで掛かって全周に亘って周側面12b上に重なるように形成され、さらに第2導電被膜層24の端24aが前記鍔12の外装材29上に掛かって重なるように前記第1導電被膜層14の上に積層された構造であり、ほぼ直方体のチップ状となっている。



【特許請求の範囲】

【請求項1】 卷芯と、該卷芯の軸方向の両端に卷芯と一緒に形成された矩形の鍔と、を有するコアと、前記コアの鍔の端面及び周側面に形成された第1導電被膜層からなるコア直付けの外部電極と、前記コアの卷芯に巻回されるとともに両端部が各々前記コア直付けの外部電極に導電固着された巻線と、前記巻芯に巻回された巻線の外周を覆う外装材と、を備えるチップインダクタにおいて、前記外装材が両鍔間の間隙を埋めるとともに、前記外装材の両鍔寄りの端が鍔の周側面の第1導電被膜層上に重ねられ、さらに第2導電被膜層の端が前記鍔の外装材上に重なるように前記第1導電被膜層の上に積層形成されたことを特徴とするチップインダクタ。

【請求項2】 前記第1導電被膜層上に重なる外装材は、巻線巻回部分から導電固着部分に至る巻線の渡り線部分を被覆していることを特徴とする請求項1に記載のチップインダクタ。

【請求項3】 前記外装材上に重なる前記第2導電被膜層の端が鍔の周側面上を越えて巻線が巻回されている領域上まで達していることを特徴とする請求項1または請求項2に記載のチップインダクタ。

【請求項4】 前記第2導電被膜層が前記巻線と前記第1導電被膜層との導電固着部分を埋めるとともに導電固着部分上の第2導電被膜層の表面が平坦に整形されていることを特徴とする請求項1または請求項2または請求項3に記載のチップインダクタ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、プリント基板上に面実装するチップインダクタに関し、特にチップマウンタによるワンバイワン方式のバルク実装化にも適応するコア直付けの外部電極を備えるチップインダクタの構造に関する。

【0002】

【従来の技術】 従来よりチップマウンタ（チップ装着機）を用いたプリント基板への高密度面実装を実現するために、抵抗素子、コンデンサ等の電子部品の小型化、薄型化、チップ化が進展している。この点、巻線をコアの巻芯に巻回する構造（巻線形）のチップインダクタとしては、例えば、図5の(A)の斜視図及び(B)の断面図に示されるチップインダクタ10のように、ドラム型コア7の巻芯1に巻回された巻線8の両端末を該コア7の鍔2の外面に固着されたリードフレームからなる外部電極5に接続し、前記ドラム型コア7及び外部電極5を直方体形状の外装材（合成樹脂）9で被覆し、前記外部電極5の先端のL字形状部を外装材9の両側面及び下面に露出させた構造が典型である。

【0003】 また、小型、薄型のチップインダクタとして、コアの巻芯が横置きタイプで外部電極がコアの両鍔（略矩形）に直付けされた構造のインダクタ本体の巻線

の外周面の全周に亘って表面形状が矩形となるように外装材を外装・整形した構造のチップインダクタが本願出願人によって先に提案されている（特開平9-306744号公報に記載のチップ状インダクタ）。

【0004】 即ち、図6の(A)の斜視図及び(B)の巻芯における断面図に示されるように、特開平9-306744号公報に記載のチップインダクタ20は、断面略円形の円柱状の巻芯11と、該巻芯11の軸方向の両端に巻芯11と一緒に形成された略矩形の鍔12、12と、前記鍔12の端面12a及び周側面12bに形成された第1導電被膜層14からなるコア直付けの外部電極15と、を有するコア17と、前記コア17の巻芯11に巻回されるとともに両端部が各々前記コア直付けの外部電極15に導電固着された巻線18と、前記巻芯11に巻回された巻線18の外周面の全周に亘って表面形状が矩形となるように外装・整形された外装材19と、を備える構造である。

【0005】 上記チップインダクタ20に使用されているコア17は、例えば高抵抗率のニッケル亜鉛系フェライト等の磁性体もしくはアルミナ等の絶縁体からなるコアであって、外部電極15である第1導電被膜層14の直付けを可能としている。また、前記第1導電被膜層14は、例えばディップ・焼き付け、またはメッキすることにより銀、銀-白金または銅とその上に被着されたニッケルまたは鉛-錫等の導電材からなる導電被膜であり、前記外装材19は、例えばポッティングまたは転写により被着されたエポキシ系合成樹脂材である。また、巻線18は直径が0.03~0.15mm程度の絶縁被覆導線（絶縁被覆材料としてポリウレタン、ポリアミドイミド）であり、その両端は鍔12の周側面12bに設けられた溝16を通して外部電極15に導出されて溶接、熱圧着または超音波振動またはこれらの併用により接合されている。

【0006】 以上のように、コア17の巻芯11を横置きとしてその両端の鍔12、12の端面12a及び周側面12bに外部電極15を直付けした構造とし、さらには外装材19を巻線18の外周面に外装・整形することによってその寸法は日本電子機械工業会の積層磁器コンデンサ規格RC-3402に準じた極めて小型、薄型のチップインダクタ20が実現されている。

【0007】

【発明が解決しようとする課題】 しかしながら、上記従来の巻線形のチップインダクタ10では、外部電極5の位置が外装材9の下面側に定まっており、少なくともチップに上下の方向性があるので、チップマウンタによるワンバイワン方式のバルク実装化は不可能である。また、小型、薄型化に関しても構造的に大きくなつて、積層チップインダクタのように前記積層磁器コンデンサ規格RC-3402に準じた寸法とすることが困難である。

【0008】また、前述のチップインダクタ20では、前記規格RC-3402に準じた寸法の小型、薄型化が実現されているが、外部電極15上の巻線18の端部の導電固定部分Zが電極12に設けられた溝16内に在るもの、その導電固定部分Zの凹凸が外部に露出した状態であって、場合によっては外部電極15の矩形の表面より突出してしまうことがあり、導電固定部分Zのある周側面を下にしてプリント基板へ搭載すると傾いた状態で実装されることになる。

【0009】また、チップ状であるとは言え、外装材19の表面は電極12の周側面12bよりも内側であって、完全には対向する両電極12、12間の隙間を埋めるに至っていない。換言すれば、外装材19は電極の周側面12bとの境界に目視できるほどの段差が存在していて、チップ部品として直方体形状とは言えず、吸着等に関して実装取扱上の問題が残る。加えて外観上、導電固定部分Zの凹凸が見えるのはチップ部品として望ましくはない。

【0010】さらに、一般に外装材19としての合成樹脂と、コア17としてのフェライト材はその熱膨張率が異なるので、上記チップインダクタ20の構造では、前記外装材19と電極12の内側面12c（巻芯11と連続する境界面）との境界Sに隙間が生じやすく、巻線巻回部から導電固定部分に至る巻線の渡り部分が該隙間から露出するという問題点が顕現する。

【0011】本発明は、上記事情に鑑みてなされたものであり、横置き巻芯のコアの電極に直付けの外部電極を備え、巻線外周全面に外装材を外装したチップインダクタについて、ワンバイワン方式のバルク実装をも可能にするとともに外観性を向上させたチップインダクタを提供することを目的とする。

【0012】

【課題を解決するための手段】本発明は、

(1) 巷芯と、該巷芯の軸方向の両端に巷芯と一緒に形成された矩形の電極と、を有するコアと、前記コアの電極の端面及び周側面に形成された第1導電被膜層からなるコア直付けの外部電極と、前記コアの巷芯に巻回されるとともに両端部が各々前記コア直付けの外部電極に導電固定された巻線と、前記巷芯に巻回された巻線の外周を覆う外装材と、を備えるチップインダクタにおいて、前記外装材が両電極間の隙間を埋めるとともに、前記外装材の両電極寄りの端が電極の周側面の第1導電被膜層上に重ねられ、さらに第2導電被膜層の端が前記電極の外装材上に重なるように前記第1導電被膜層の上に積層形成されたことを特徴とするチップインダクタを提供することにより上記目的を達成する。

【0013】(2) また、前記第1導電被膜層上に重なる外装材は、巻線巻回部分から導電固定部分に至る巻線の渡り線部分を被覆していることを特徴とする上記

(1) 記載のチップインダクタを提供することにより、

上記目的を達成する。

【0014】(3) また、前記外装材上に重なる前記第2導電被膜層の端が電極の周側面上を越えて巻線が巻回されている領域上まで達していることを特徴とする上記

(1) または(2)に記載のチップインダクタを提供することにより、上記目的を達成する。

【0015】(4) また、前記第2導電被膜層が前記巻線と前記第1導電被膜層との導電固定部分を埋めるとともに導電固定部分上の第2導電被膜層の表面が平坦に整形されていることを特徴とする上記(1)または(2)または(3)に記載のチップインダクタを提供することにより、上記目的を達成する。

【0016】上記(1)～(4)記載の構成によれば、外部電極が第1導電被膜層と第2導電被膜層との2層構造となっていて、導電固定部分は完全に埋設され、上下の方向性のないほぼ積層磁器コンデンサと同様の優れて直方体形状のチップインダクタとなり、チップマウンタによるワンバイワン方式のバルク実装が可能になる。さらに、外装材と第2導電被膜層とが重なる構造によつて、熱膨張・収縮に起因する外観性の低下が防止される。

【0017】

【発明の実施の形態】本発明に係るチップインダクタの実施の形態を図面に基いて説明する。

【0018】図1は本発明に係るチップインダクタの断面図であり、図2は同チップインダクタの電極の周側面における外部電極と外装材の積層構造を示す拡大断面図である。また、図3は本発明に係るチップインダクタの製造工程を説明するためのフローチャートである。図4は請求項2に係わる外装材の形状を示す斜視図である。

【0019】図1及び図2において、チップインダクタ30は、巷芯11と、該巷芯11の軸方向の両端に巷芯と一緒に形成された矩形の電極12、12と、前記電極12の端面12a及び周側面12bに形成された第1導電被膜層14と、を有するコア17と、前記コア17の巷芯11に巻回されるとともに両端部が各々前記コア直付けの第1導電被膜層14に導電固定された巻線18と、前記巷芯11に巻回された巻線18の外周面の全周に亘つて外形状が矩形に外装・整形された外装材と、を備える点は従来例で示したチップインダクタ20と同様であるが、特徴的構造として、特に外装材29が電極12の周側面形状に合わせてこれと略面一となるように両電極12、12間の隙間を埋めるとともに、前記外装材29の両電極寄りの端29aが電極12の周側面12bの第1導電被膜層14まで掛かって周側面12b上に重なる（重なり幅W1；但し一定とは限らない）ように形成され、さらに新たに第2導電被膜層24の端が前記電極12の外装材29の上29aに掛かって重なる（図2では重なり幅W1+W2）よう前に記第1導電被膜層14の上に積層形成されている。なお、上記重なり幅W1は周側面12bの

全周に亘って設けずとも一部であってもよい（図4参照）。

【0020】上記第2導電被膜層24は、例えば銀含有樹脂ペーストであり、また、外装材29の合成樹脂材としては、エポキシ系樹脂、フェノール樹脂、シリコン樹脂等である。

【0021】上記のように外装材29を鈎12の周側面12bに掛かるまで完全に両鈎12、12間の隙間に外装・整形することで、概ね全体が直方体のチップ形状となる。そして外装材29が鈎12の周側面12bにまで掛かって重なっていることで（重なり幅W1）、外装材29と鈎12との間の隙間Vが開かないという効果が得られる。

【0022】さらに、図4に示されるように、特に外装材29が巻線巻回部分から導電固着部分Zに至る巻線の渡り線部分Rを被覆している場合には、巻線巻回部分から導電固着部分に至る巻線の渡り線部分Rが露出する等の問題点が解消される。

【0023】次に、他の特徴として、図2から判るように、特に前記外装材29の上に重なるように形成された前記第2導電被膜層24の端24aが鈎12の周側面12b上を越えて巻芯11上の外装材29の領域まで重なっている（巻芯上の重なり幅W2）場合には、フェライトコア17と外装材29の合成樹脂との熱膨張率の差によって発生する界面の隙間Vの広がりが強固に防止されるという効果を併せ持つ。

【0024】蓋し、巻芯11上の外装材29の領域まで重なっている第2導電被膜層24が外装材29を強固に保持して界面（鈎12の内側面12cの延長上）での隙間Vを抑えているのである。

【0025】また、上記第2導電被膜層24の厚みを特に鈎12の溝部分で厚くして巻線巻回部分から導電固着部分Zに至る巻線の渡り部分を完全にその中に埋設して第2導電被膜層24の上面を平坦にすれば、鈎部分が多少盛り上がってはいるものの、外観上は積層チップインダクタと全く同じような直方体形状となって、良好なチップマウンタによるワンバイワン方式の面実装が可能になる。

【0026】特に、トランジistorを除くチョークコイルやフィルタ等の極性のない2端子インダクタ素子では、フェライトコア17の両鈎12、12の端面形状が略正方形であるとともに該両鈎に各1つのコア直付け外部電極25を備える上下の方向性のない構造とすることによって、パルク実装も可能になる。

【0027】次に、本発明のチップインダクタ30の製造工程を説明すると、図3のフローチャート(a)～(e)に示される斜視図のように、(a)矩形に乾式成形されたフェライト材31を内部研削加工して円形の巻芯11を形成したものを焼成し、(b)矩形の両鈎12、12の端面12a及び周側面12bに直に第1導電

被膜層14を形成し、(c)巻線18を巻回してその両端末を両鈎12、12の周側面12bの第1導電被膜層14に溝部26にて導電固着し（例えば熱圧着による）、(d)例えば、エポキシ樹脂等の外装材29を巻芯11に巻回された巻線18の外周面の全周に亘って鈎12の周側面形状に合わせてこれと略面一に且つ鈎12の周側面12bに重なるように例えばポッティングによって両鈎12、12間の隙間を埋めて外装・整形し、

(e)さらに、銀含有樹脂ペースト材の第2導電被膜層24の端24aが前記鈎12の周側面12bに掛かった外装材上に重なるように前記第1導電被膜層14の上に塗布、焼き付けて第1導電被膜層14と第2導電被膜層24からなる外部電極25を積層形成する。なお、この後に外部電極25には外部電極メッキ（錫メッキ、ニッケルメッキ、半田メッキまたはこれらの組合せ等）を施してもよい。

【0028】上記外装材29にフェライト粉末等の磁性粉を混入させた磁性粉含有樹脂材を適用することで、高インダクタンス値が得られ、且つシールド性を高めることができる。

【0029】以上のように、外部電極25の積層構造と外装材29との重なる構造によって、チップインダクタ30の形状がパルク実装にも適合可能であり、且つ外観性が格段に向ふことができる。

【0030】

【発明の効果】本発明に係るチップインダクタは、上記のように構成されているため、

(1) 請求項1のチップインダクタは、外装材が鈎の周側面に重なっているので、鈎と外装材との間の隙間が開かないという効果が得られる。

【0031】(2) 請求項2のチップインダクタは、巻線巻回部から導電固着部分に至る巻線の渡り部分が露出しないという効果が得られる。

【0032】(3) 上記に加え、請求項3のチップインダクタは、第2導電被膜層の端が鈎の周側面上を越えて巻芯上の外装材の領域上まで重なっているので、界面の外装材の隙間が生じにくく外観性が向上する。

【0033】(4) 請求項4のチップインダクタは、導電固着部分が完全に第2導電被膜層に埋設されていて表面が平坦になっているので、外形状がほぼ直方体のチップ形状となり、積層磁器コンデンサと同等の実装性が得られ、チップマウンタによるワンバイワン方式のパルク実装が可能となる。

【図面の簡単な説明】

【図1】本発明に係るチップインダクタの断面図である。

【図2】同チップインダクタの鈎の周側面における外部電極と外装材のオーバーラップ構造を示す拡大断面図である。

【図3】本発明に係るチップインダクタの製造工程を説

明するためのフローチャートである。

【図4】本発明の請求項2に係る外装材の形状を示す斜視図である。

【図5】(A)は従来のチップインダクタの斜視図、(B)はその断面図である。

【図6】(A)は特開平9-306744号公報に記載のチップ状インダクタの斜視図、(B)はその巻芯における断面図である。

【符号の説明】

- 1、11 巻芯
- 2、12 銛
- 2a、12a 銛の端面
- 2b、12b 銛の周側面
- 5、15、25 外部電極
- 7 ドラム型コア

8、18 卷線

9、19、29 外装材

10、20、30 チップインダクタ

14 第1導電被膜層

16 溝

17 コア

24 第2導電被膜層

24a 第2導電被膜層の端

29a 外装材の両銛寄りの端

31 フェライト材

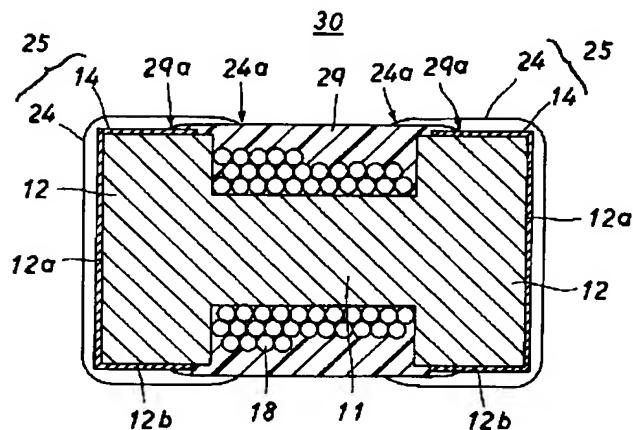
R 卷線の渡り線部分

W1、W2 重なり幅

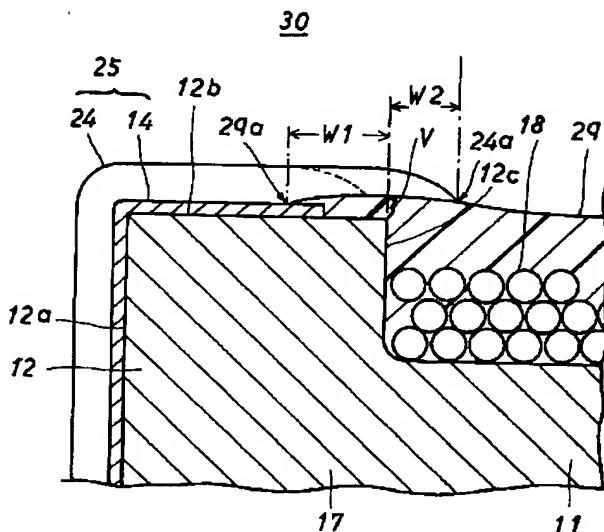
Z 導電固着部分

V 隙間

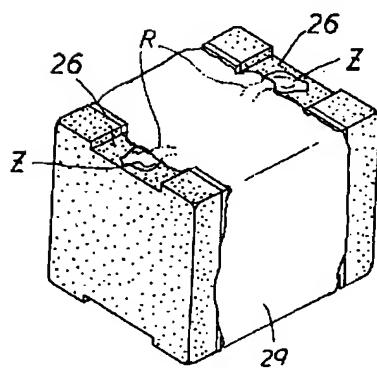
【図1】



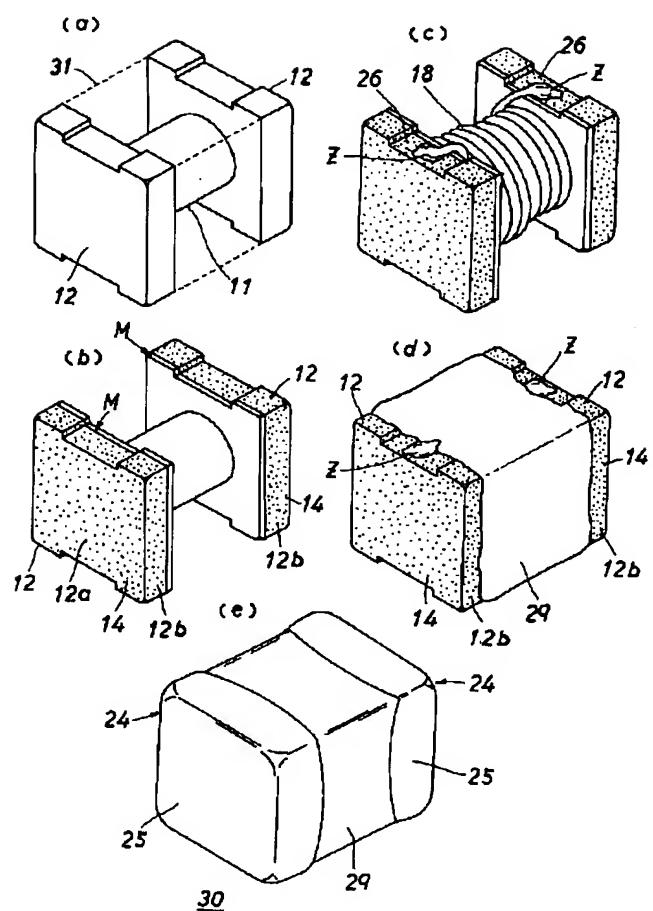
【図2】



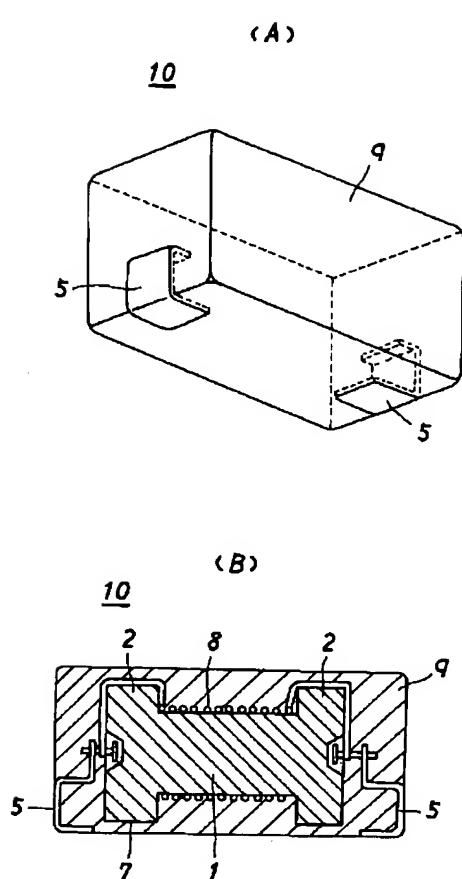
【図4】



【図3】

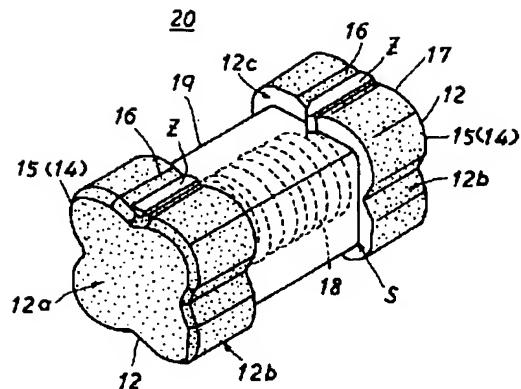


【図5】

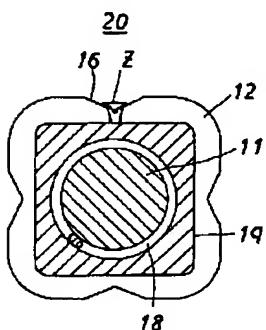


【図6】

(A)



(B)



フロントページの続き

(72)発明者 千明 慶
東京都台東区上野6丁目16番20号 太陽誘
電株式会社内

Fターム(参考) 5E043 AA02 AB01 EA02 EA06 EB01
EB05
5E070 AA01 AB01 AB04 BA03 DA12
DA13 DA17 EA01 EB03
5E336 AA04 CC32 CC42 CC51 EE03